

PAT-NO: JP358060559A
DOCUMENT-IDENTIFIER: JP 58060559 A
TITLE: MULTICHIP PACKAGE
PUBN-DATE: April 11, 1983

INVENTOR-INFORMATION:
NAME
YOSHIHARA, KUNIO

ASSIGNEE-INFORMATION:
NAME TOSHIBA CORP
COUNTRY
N/A

APPL-NO: JP56158226
APPL-DATE: October 6, 1981

INT-CL (IPC): H01L021/82, H01L027/04
US-CL-CURRENT: 257/E21.602, 361/683

ABSTRACT:

PURPOSE: To obtain a multichip package whose internal connections are switchable electrically, while unnecessitating the replacement thereof, by a method wherein input-output signal lines selecting a plurality of electronic function elements of the same kind are switched to each other or to a specified element.

CONSTITUTION: Address data lines which are common input-output lines for signal lines other than a chip enable CE being a signal line for selection of

memory cells $M_1 \sim M_n$, are connected commonly, while CE alone is decoded for selecting each memory cell. M_0 is an extra redundant memory cell for constituting this memory module, and address lines $A_0 \sim A_i$, data lines $D_1 \sim D_j$, a write enable WE, and an output enable OE are connected commonly with remaining memory cells $M_1 \sim M_n$, while only the chip enable CE, which is a redundant memory cell, is made switchable to any one of CEs of $M_1 \sim M_n$. Thereby any faulty chip can be switched electrically with ease. A pad SW for switching is usually connected to C_0 and led outside as CE_0 , whereby the operation of the redundant memory M_0 can be checked.

COPYRIGHT: (C)1983, JPO&Japio

機械的衝撃などによって正常な部分を不良に
 しまう確率も高い。また、A/D又はD/Aコン
 バータなどのアナログ素子では、一般に、アナ
 ログ素子の性能を示す指標の一つである直線性
 の個体差が大きく、アナログ素子を複数個実装
 した配線基板では、そのアナログ素子が動作可
 能であるにもかかわらず、直線性の仕様を満
 足できないため、不良素子として交換せざる
 を得ない割合は、求める直線性によっては、
 非常に大きなものとなる。従って、実装後
 の性能と価格、実装前の素子の性能分布によ
 って事実上制約されている。

本発明の目的は、上記の技術の欠点を除去し、
 電子的機能素子の交換を不要にする、電氣的に
 内部接続切替え可能なマルチ・チップ・パッ
 ケージを提供することにある。

本発明は、配線基板上に実装されている同一
 種類で複数の電子的機能素子を選択する入出力
 信号線を相互に、若しくは特定の電子的機能
 素子と切替えることを特徴としたマルチ・チ
 ップ・パッケージである。

るのみならず、配線基板上のすべてのメモリ
 素子の電子的機能をテストした後、そのテスト
 データにもとづきパッケージ全体の価値が最
 も高くなるようメモリ素子の切替えができる。
 尚第1図において、Dはアドレスデコーダ、
 DI/0はデコーダ入出力線である。

本発明の他の一具体例として第2図に示す。
 デジタル入力ラッチ型D/Aコンバータ素子を
 複数個D/A₁～D/A_n、同一配線基板上に実装
 し、デジタル入力DI₁～DI_j及びストロブ信号
 Sを共通に結線する。かのおのD/Aコンバー
 タ素子を選択するチップ・セレクトCSは相互に
 切替えられるように配線用パッドを用意して
 おく。同様に、かのおのD/Aコンバータ素子
 のアナログ出力も、配線基板の任意の出力リ
 ードOLへ接続できるよう配線されている。こ
 の方法により、配線基板上のすべてのD/A
 コンバータ素子は、その直線性の値によって
 任意のチャンネルへ割付けられることができる。

4. 図面の簡単な説明

一つの具体例において、本発明は第1図に示
 すように同一に接続されるべきアドレス線A₀～
 A_i、データ線をもつn個の電子的機能素子であ
 るところのメモリ素子M₁～M_nで構成された
 メモリモジュールに用いられる。このメモリ
 モジュールでは、メモリ素子M₁～M_nの選
 択用信号線であるチップイネーブルCE以外
 の共通の入出力線であるアドレス・データ各
 線は共通に結線し、CEのみをデコードして
 各メモリ素子を選択している。M₀はこの
 メモリモジュールを構成するには余分の冗長
 メモリ素子であり、アドレス線A₀～A_i、デ
 ータ線D₁～D_j、ライトイネーブルWE、ア
 ウトプットイネーブルOEを残りのメモリ素
 子M₁～M_nと共通に接続し、冗長メモリ素
 子のチップイネーブルCEのみを、M₁～M_n
 のCEの任意の一つと切替えられるように
 することにより、容易に不良チップの電氣的
 切替えが可能となる。通常は切替え用パッド
 SWをC₀に接続し、CE₀として外部へ取出し
 ておくことにより、冗長メモリ素子M₀の
 動作確認を行なうことができる。つまり、単
 に不良メモリ素子を除去する

第1図は本発明の一実施例を説明するための
 マルチ・チップ・パッケージの平面図、第2図
 は本発明の他の実施例を説明するためのマル
 チ・チップ・パッケージの平面図である。

D: アドレスデコーダ、A₀～A_i: アドレス線、
 D₁～D_j: データ線、WE: ライトイネーブル、
 M₁～M_n: メモリ素子、M₀: 冗長メモリ素子、
 OE: アウトプットイネーブル。

代理人 弁理士 則 近 憲 佑
 (ほか1名)